



08264665 A

Generated Document

(21) Application number: 07061115

(51) Intl. Cl.: H01L 21/8247 H01L 29/788 H01L 29/792
G11C 11/22 G11C 14/00 H01L 27/10

(22) Application date: 20.03.95

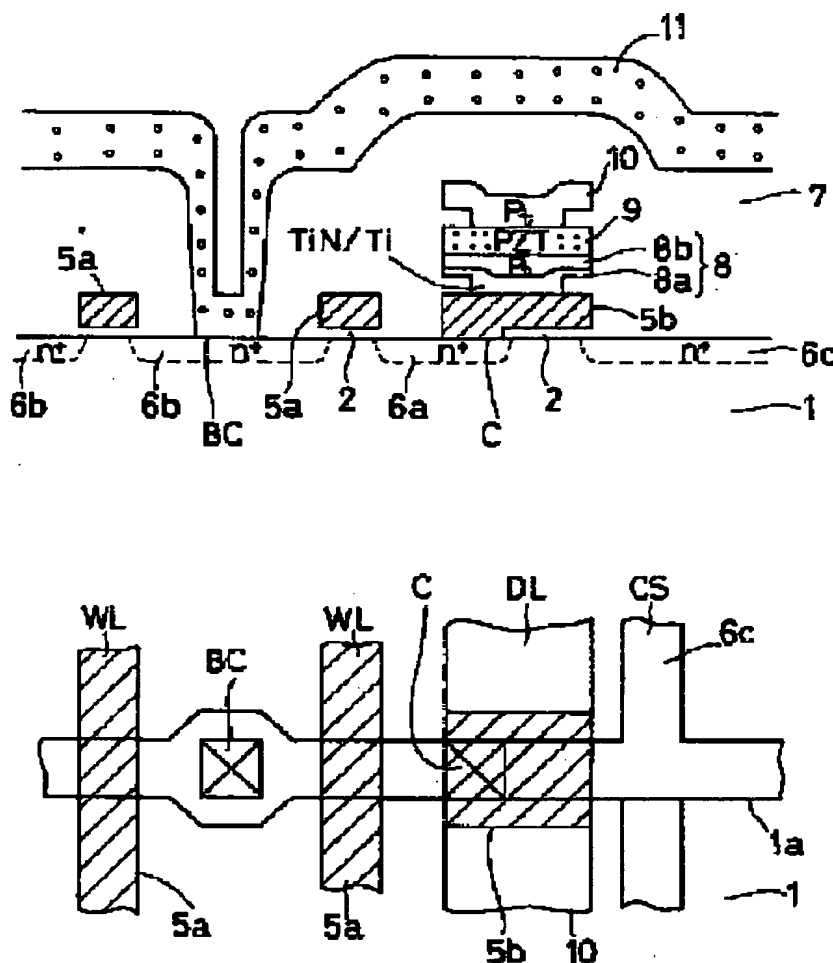
(54) NONVOLATILE RANDOM ACCESS MEMORY

(57) Abstract:

PURPOSE: To obtain a low power consumption, high speed and high reliability memory by connecting MOS transistors to the bit lines and power lines and MFS transistors to the drive lines and common line.

CONSTITUTION: MFS transistor is composed of one impurity diffused layer 6a shared with a MOS transistor, a gate-lower electrode 5b which has a capacitor directly connected to a part of the layer 6a and is formed through a gate insulation film 2, except of this connected part and another impurity diffused layer 6c. Capacitor part is formed on the lower electrode 5b of the MFS transistor. The other impurity diffused layer 6b of the MOS transistor is connected to a bit line 11 at a bit contact BC, the gate electrode 5a connected to a word line WL, the other impurity diffused layer 6c of the MFS transistor connected to a common line CS and an upper electrode 10 of the capacitor part connected to a drive line DL.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-264665

(43) 公開日 平成8年(1996)10月11日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8247		H 0 1 L 29/78	3 7 1
	29/788		G 1 1 C 11/22	
	29/792		H 0 1 L 27/10	4 5 1
G 1 1 C	11/22		G 1 1 C 11/34	3 5 2 A
	14/00			

審査請求 未請求 請求項の数 2 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願平7-61115

(22) 出願日 平成7年(1995)3月20日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 大西 茂夫

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

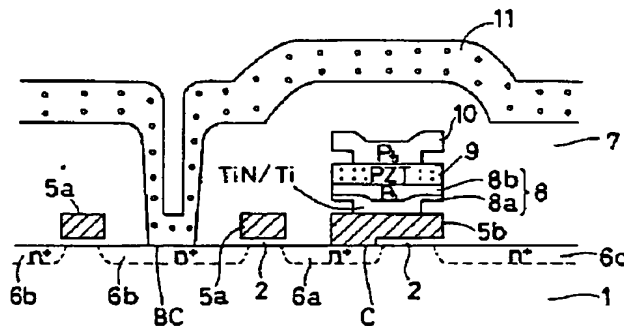
(74) 代理人 弁理士 野河 信太郎

(54) 【発明の名称】 不揮発性ランダムアクセスメモリ

(57) 【要約】 (修正有)

【構成】 半導体基板1上に形成されたゲート絶縁膜2、ゲート電極50及び一対の不純物拡散層6a、6bを有するMOS型トランジスタと、下部ゲート電極5b、強誘電体膜9、上部電極10及び一方の不純物拡散層を前記MOS型トランジスタと共有する一対の不純物拡散層を有し、一方の不純物拡散層6aに下部ゲート電極5bの一部が接続されているMFS型トランジスタとからなるメモリセルであり、MOS型トランジスタがビット線11及びワード線に接続され、MFS型トランジスタがドライブ線及び共通線に接続されて構成されている不揮発性ランダムアクセスメモリ。

【効果】 DRAM並の高集積度、SFAM並の低消費電力化、高速化及び非破壊のデータ読みだしが可能であるため、インプリント及び膜疲労耐性の影響の少ない、高信頼性のデバイスを提供する。



1

【特許請求の範囲】

【請求項 1】 半導体基板上に形成されたゲート絶縁膜、ゲート電極及び一対の不純物拡散層を有する MOS 型トランジスタと、
少なくとも下部ゲート電極、強誘電体膜、上部電極及び一方の不純物拡散層を前記 MOS 型トランジスタと共有する一対の不純物拡散層を有し、前記一方の不純物拡散層に下部ゲート電極の一部が接続されている MFS 型トランジスタとからなるメモリセルであって、前記 MOS 型トランジスタがビット線及びワード線に接続され、前記 MFS 型トランジスタがドライブ線及び共通線に接続されて構成されていることを特徴とする不揮発性ランダムアクセスメモリ。

【請求項 2】 少なくともゲート絶縁膜、下部ゲート電極、強誘電体膜、上部電極及び一対の不純物拡散層を有する MFS 型トランジスタからなるメモリセルであって、前記下部ゲート電極が、一方の不純物拡散層と接続されていることを特徴とする不揮発性ランダムアクセスメモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、不揮発性ランダムアクセスメモリに関し、より詳細には、強誘電体膜を用いた低消費電力・高速型不揮発性ランダムアクセスメモリ (RAM) に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】 ランダムアクセス可能なメモリ素子としては、従来から SRA M (スタティック・ラム) 及び DRAM (ダイナミック・ラム) が代表的である。しかし、これらはいずれも揮発性であるとともに、特に前者は 1 メモリセル当たり 6 個のトランジスタ素子を要するため高集積化の点で限界があった。また、後者はデータ保持のために周期的にキャパシタをリフレッシュする必要があるため、消費電力が大きくなるという問題点があった。

【0003】 ランダムアクセス可能でかつ不揮発性のメモリ素子として、最近、強誘電体膜をキャパシタとして用いたいわゆる F (Ferroelectric) RAM が注目を集めている。かかる FRAM の代表的な断面図及び回路構成を図 1 4 及び図 1 5 に示す。図 1 4 に示すように、この FRAM は、主として選択トランジスタ ST r と強誘電体キャパシタ FC p とにより構成されるメモリセルからなる。選択トランジスタ ST r は、半導体基板 2 1 上に形成されたゲート電極 2 2 及び一対の不純物拡散層 2 2 a、2 2 b からなり、強誘電体キャパシタ FC p は、Pt 膜 2 5 a と TiN/Ti 膜 2 5 b との積層膜で構成される下部電極 2 5、強誘電体膜である PZT 膜 2 6 及び上部電極 2 7 からなる。選択トランジスタ ST r の一方の不純物拡散層 2 3 a は、ビット線に接続され、他方の

2

不純物拡散層 2 3 b は、ポリシリコンからなるコンタクトプラグ 2 4 を介して強誘電体キャパシタの下部電極 2 5 に接続されている。

【0004】 このような構成を有する FRAM の単位メモリセルは、図 1 5 に示したように、1 個の選択トランジスタ ST r とこの選択トランジスタ ST r に接続された 1 個の強誘電体キャパシタ FC p との簡単な構造からなるため、DRAM なみの高集積度が期待できる。上記 FRAM の動作原理を図 1 6 を用いて説明する。

【0005】 データの書き込み時においては、ビット線を Vcc レベル (電源電圧レベル) または接地レベルにするとともに選択トランジスタ ST r をオンし、ドライブ線にパルスを入力することにより、キャパシタには分極の異なった 2 個の状態が存在することになる。即ち、データ “0” 又はデータ “1” がメモリセルに書き込まれることになる。

【0006】 スタンバイ時には、ビット線及びドライブ線を接地レベルに保持する。次に、読みだし時には、ビット線を接地状態にするとともに選択トランジスタ ST r をオンし、ドライブ線にパルスを入力することにより、データ “0” のキャパシタは分極反転するが、データ “1” のキャパシタは分極反転しない。従って、その時に発生する電荷量の差をセンスすることにより、データを識別することができる。

【0007】 しかし、上記 FRAM においては、読みだし時においてデータが破壊されるために、再書き込みが必要になる。また、データ書き込み/読みだし時のいずれの場合においてもキャパシタの分極反転が生じるため、消費電力も大きく、データアクセスのタイミングも複雑になる。さらに、アクセスタイムも 100 ns e c. 以下の高速動作が困難になる。

【0008】 メガビットクラスの FRAM を考えた場合、メモリセル 128 ~ 256 に対してダミーセル 1 個が必要になり、さらなるメモリの高集積化によって問題となる。また、メモリとしては 10¹³ 回以上の読みだし/書き込みが要求されるため、ダミーセルキャパシタには 10¹⁵ 回以上のデータの書き換えが必要になる。現状の強誘電体キャパシタに通常用いられている PZT (Zirconate Titanate Lead) は、10¹² - 10¹³ 回以上の書き換えで特性が大きく劣化し、膜の疲労耐性が問題となる。よって、ダミーセルの特性劣化を防止するためにはメモリセルの書き換えの制限を 10¹⁰ 回以下にしなければならないという問題を生じる。同様に、ダミーセルのインプリント耐性も大きな問題になる。

【0009】 これに対し、例えば、特開平 3 - 32066 号公報や特開平 5 - 145077 号公報には、非破壊読み出しが可能なメモリセルが提案されている。これらのメモリセルは、図 1 7 に示したように、強誘電体素子部及び MOS 型トランジスタ部とにより構成されている。強誘電体素子部は、半導体基板 3 1 上に、絶縁膜 3 3 を

介して、下部電極34、強誘電体膜35及び制御電極36からなり、MOS型トランジスタ部は、半導体基板31に形成された一対のソース／ドレイン領域32と、強誘電体素子部の下部電極34を共有するゲート電極とからなる。

【0010】上記メモリセルは、半導体基板31と制御電極36とに印加する電圧による電位差によって強誘電体膜35を分極させ、この分極によって、下部電極34をゲートとしてMOS型トランジスタを導通又は非導通とさせることによりデータを記憶している。しかし、上記のメモリセルにおいては、下部電極34と半導体基板31間にも容量が存在するため、半導体基板31と制御電極36とに大きな電圧を印加しないと、強誘電体膜35を充分に分極させることができないという問題がある。

【0011】さらに、非破壊読み出しが可能な強誘電体を用いた別の不揮発性記憶装置が提案されている。この不揮発性記憶装置は、図18に示したように、強誘電体をゲート膜として有するMFS (Metal Ferroelectric semiconductor) 電界効果トランジスタであり、p型半導体基板41上に強誘電体ゲート膜43を介して形成されたゲート電極44となる導電性薄膜から構成されている。また、このMFSEFTは、半導体基板41表面層に、ゲート電極44を介して一対のn型の不純物拡散層42を有しており、半導体基板41上全面には、層間絶縁膜45が形成され、層間絶縁膜45の不純物拡散層42上にコンタクトホールを通して接続されたソース／ドレイン電極46が形成されている。

【0012】上記MFSEFTのデータの書き込み方法及び読み出し方法を、図19に示した等価回路を用いて説明する。各メモリセルMA, MB, MC及びMD, ME, MFは、それぞれMFSEFTを有しており、これらMFSEFTのゲート電極がそれぞれワード線WL1及びWL2に接続されている。また、これらMFSEFTのソース／ドレイン電極がビット線BL1, BL2, BL3, BL4にそれぞれ接続されている。

【0013】例えば、メモリセルMDが記憶するデータの読み出しを行う場合、ワード線WL2をハイレベル、ビット線BL1, BL2をそれぞれHIGHレベル、LOWレベルとする。さらに、ワード線WL1, ビット線BL3, ビット線BL4をOPENにする。メモリセルMDの記憶しているデータが“0”の場合(図20のヒステリシスにおいてAの状態)、ソースドレイン間が導通しチャネルを形成するため、ビット線BL1はHIGHレベルからLOWレベルに減衰する。また、メモリセルMDの記憶しているデータが“1”の場合(図20のヒステリシスにおいてBの状態)、ソースドレイン間是非導通でありチャネルが形成されない。よって、ビット線BL1はHIGHレベルを維持する。このようなビット線BL1の電位を、図示していないセンスアンプ

においてセンスすることにより、メモリセルMDが記憶するデータを非破壊に読み出すことができる。

【0014】メモリセルMDにデータの書き込みを行う場合、ワード線WL2をHIGHレベル、ビット線BL1, BL2をLOWレベルとする。さらに、ワード線WL1をLOWレベル、ビット線BL3を書き込み禁止電位であるHIGHレベル、ビット線BL4をOPENにする。メモリセルMDのゲートドレイン間に電位差が生じ、強誘電体ゲート膜の分極に至る。しかし、メモリセルMBにおいてワード線WL1がLOWレベル、ビット線BL3が書き込み禁止電圧であるHIGHレベルであることからメモリセルMD同様、ゲートドレイン間に電位差を生じ、強誘電体ゲート膜の分極状態に変化が生じる場合がある。

【0015】さらに、上記の構成を有するMFSEFTのソース／ドレインとビット線との間にそれぞれスイッチング用MOSFETを直列に接続するものも提案されているが、1つのメモリセルあたり3つのトランジスタが必要で、セルサイズが大きくなり、高集積化できない。また、特開平5-90532号公報や特開平5-90607号公報において、非破壊読みだしが可能な半導体記憶素子が提案されている。このような半導体記憶素子のメモリセルは、1個の電界効果型トランジスタと1個の強誘電体キャパシタとからなり、電界効果型トランジスタのゲート電極が強誘電体キャパシタの下部電極と接続されている。また、キャパシタの上部電極にはワード線、強誘電体キャパシタの下部電極とゲート電極との間にはビット線が接続されている。

【0016】上記半導体素子のデータ読み出し方法を図21に基づいて説明する。メモリセルM1に記憶されているデータを読み出す場合、ワード線WL1, WL2をLOWレベル、またビット線BL1, BL2をOPENとする。さらに、ドレインDL1をHIGHレベル、DL2をLOWレベルとし、ソースSL1をLOWレベル、SL2をLOWレベルとする。ここで、ドレインDL1の電位をセンスアンプにおいてセンスすることにより、メモリセルM1及びM3に記憶されているデータの非破壊読みだしが行われ、メモリセルM1の記憶されていたデータを確定することは困難である。

【0017】また、この半導体素子においては、データの書き換えを行う場合、強誘電体キャパシタには抗電界以上の電圧が加わるため、所望の残留電荷より低い値で分極状態となる。このため、本公報においてはデータの書き換えに際しディスターブが生じる。つまり、図21のメモリセルにおいて、M1に“1”、M2に“1”、M3に“1”、M4に“0”が書き込まれており、M1を“0”に書き換える場合、選択セルM1のワード線WL1に5V、ビット線BL1に0Vを印加し、その他のワード線WL2及びビット線BLを $V_{cc}/2$ に固定する。この際、メモリセルM2及びM3のワード線の電位

はそれぞれビット線に比較して $V_{cc}/2$ 電位高いことになる。

【0018】通常安定な分極反転を得るためには、電源電圧 V_{cc} は、抗電界 E_c の約2.5倍にする必要がある。すなわち、メモリセルM2及びM3には抗電界 E_c 以上の電圧($5E_c/4$)が加わり、分極反転し、図22においてBからA'に移ることとなり、ディスタブが問題となる。この発明はかかる状況下でなされたものであり、ことに低消費電力、高速、高信頼性、かつシンプルで周辺回路、低電圧動作を実現することができる不揮発性ランダムアクセスメモリを提供することを目的としている。

【0019】

【課題を解決するための手段】かくしてこの発明によれば、半導体基板上に形成されたゲート絶縁膜、ゲート電極及び一対の不純物拡散層を有するMOS型トランジスタと、少なくとも下部ゲート電極、強誘電体膜、上部電極及び一方の不純物拡散層を前記MOS型トランジスタと共有する一対の不純物拡散層を有し、前記一方の不純物拡散層に下部ゲート電極の一部が接続されているMF

S型トランジスタとからなるメモリセルであって、前記MOS型トランジスタがビット線及びワード線に接続され、前記MFS型トランジスタがドライブ線及び共通線に接続されて構成されている不揮発性ランダムアクセスメモリが提供される。

【0020】つまり、この発明のFRAMは、主として半導体基板上に形成されたMOS型トランジスタ及びMFS型トランジスタによりメモリセルが構成されている。本発明における半導体基板としては、通常メモリセルが形成される半導体基板であれば特に限定されるものではないが、シリコン基板が好ましい。本発明のFRAMにおいては、選択トランジスタとして1個のMOS型トランジスタを有する。MOS型トランジスタは、半導体基板上にゲート絶縁膜を介してゲート電極及び不純物拡散層を有している。ゲート絶縁膜としては、通常MOS型トランジスタを形成するために用いられる材料及び膜厚で形成することができる。例えば、膜厚50~200Å程度の SiO_2 膜を挙げることができる。ゲート電極としては、特に限定されるものではないが、例えば、ポリシリコン、又はW、Ta、Ti、Co、Ni等のシリ

リサイドもしくはこれらシリサイドとポリシリコンとからなるポリサイド等の積層膜等を挙げることができる。その際の膜厚は、ポリシリコン単層の場合は2000~4000Å程度が好ましく、積層膜を用いる場合は2000~4000Å程度が好ましい。不純物拡散層は、用いる半導体基板と異なる導電型の不純物イオン、例えばAsもしくはP、又はボロン等のイオンを $1\sim5\times10^{15}$ ions/cm²程度の濃度、10~80KeVの注入エネルギーで注入して形成することができる。

【0021】また、本発明のFRAMにおけるMFS型

トランジスタは、主としてMOSトランジスタ部と強誘電体キャパシタ部とからなる。MOSトランジスタ部は、半導体基板上にゲート絶縁膜を介してゲート下部電極と、一対の不純物拡散層を有している。これらゲート絶縁膜及びゲート下部電極としては特に限定されるものではなく、例えば、上記の選択トランジスタであるMOS型トランジスタのゲート絶縁膜及びゲート電極と同様のものを用いることができる。一対の不純物拡散層も、上記の選択トランジスタであるMOS型トランジスタの不純物拡散層と同様に形成することができる。MFS型トランジスタにおける一方の不純物拡散層は、上記の選択トランジスタであるMOS型トランジスタの一方の不純物拡散層と共有しており、さらに、その共有している不純物拡散層には、ゲート下部電極の一部が直接接続されている。

【0022】上記MOSトランジスタ部上には、強誘電体キャパシタ部が形成されている。強誘電体キャパシタ部は、MOSトランジスタ部を構成するゲート下部電極を下部電極とし、その上に強誘電体膜及び上部電極が順次形成されて構成されるか、ゲート下部電極上にさらに下部電極となる導電膜を形成し、その上に強誘電体膜及び上部電極が順次形成されて構成されてなる。下部電極となる導電膜としては特に限定されるものではなく、例えば、Ti、Ta、W、Al、これらのシリサイド、TiN、Pt、Au、Ag、Al、Ni、Pd、Ru、Ir、導電性酸化物等の単層又は2種以上の導電体膜からなる積層膜が挙げられる。具体的には、導電膜として、Pt/TiN/Ti、 RuO_2/Ru 、 IrO_2/Ir 等が挙げられる。導電膜の膜厚としては、単層として用いる場合は500~2000Å程度、2種以上の積層膜として用いる場合は、用いる材料により異なるが500~2000Å程度が好ましい。具体的には、Pt/TiN/Tiを用いる場合には500~1000Å/500~2000Å/200~500Å程度、 RuO_2/Ru を用いる場合には、500~1000Å/200~500Å程度、 IrO_2/Ir を用いる場合には、500~1000Å/200~500Å程度が好ましい。強誘電体膜としては、PZT、PLZT、PNZT、 $BiSr_2Ta_2O_9$ 、 $BiSr_2Ta_xNyO_9$ 等が挙げられる。これら強誘電体膜の膜厚は用いる材料により適宜調整することができるが、1000~2000Å程度が好ましい。また、上部電極としては、下部電極の材料と同じもの、あるいは下部電極材料として例示したものから任意に選択して用いることができる。この際の膜厚は、単層の場合には500~2000Å程度、2種以上の材料の積層膜の場合には全体の膜厚が500~2000Å程度が好ましい。

【0023】このように構成された選択トランジスタであるMOS型トランジスタとMFS型トランジスタは、上述したように、一方の不純物拡散層を共有することに

より互いに接続されている。また、MOS型トランジスタの他方の不純物拡散層はビット線と接続され、ゲート電極はワード線と接続され、MFS型トランジスタの他方の不純物拡散層が共通線に接続され、キャパシタ部の上部電極はドライブ線と接続されてメモリセルを構成している。

【0024】また、別の観点から、本願発明によれば、少なくともゲート絶縁膜、下部ゲート電極、強誘電体膜、上部電極及び一对の不純物拡散層を有するMFS型トランジスタからなるメモリセルであって、前記下部ゲート電極が、一方の不純物拡散層と接続されている不揮発性ランダムアクセスメモリが提供される。このメモリセルは、上記で説明したメモリセルの選択トランジスタを有していないメモリセルと一致する。つまり、主としてMOSトランジスタ部と強誘電体キャパシタ部とからなるMFS型トランジスタによりメモリセルを構成している。このメモリセルにおいては、MOSトランジスタ部の一方の不純物拡散層がビット線と接続され、他方の不純物拡散層が共通線に接続され、キャパシタ部の上部電極がドライブ線と接続されている。

【0025】

【作用】本発明によれば、1個のMOS型トランジスタと1個のMFS型トランジスタ素子によって1個のFRAMセルが構成されているため、書き換え時のディスタブを防止することが可能となるとともに、読み出し時には非破壊読み出しが可能となる。しかも、DRAM並の高集積度が実現されるとともに、SFAM並の低消費電力化、高速化が可能となる。

【0026】また、低電圧で非破壊のデータ読みだしが可能であるため、従来のFRAMに比べてインプリントおよび膜疲労耐性の影響が少ない高信頼性のデバイスが提供される。

【0027】

【実施例】本発明の不揮発性RAMとしてAFRAM (Advanced FRAM)の実施例及びその製造方法、ならびに動作原理について説明する。本発明のFRAMの一実施例を図1～図3に示す。FRAMは、図3に示したように、主としてMOS型トランジスタ及びMFS型トランジスタとからなるメモリセルを有している。MOS型トランジスタは、図1に示したように、半導体基板1上の活性領域1aにゲート絶縁膜2を介して形成されたゲート電極5aと不純物拡散層6a、6bとからなる。また、MOS型トランジスタの一方の不純物拡散層6aを共有して、MFS型トランジスタが形成されている。このMFS型トランジスタは、MOS型トランジスタと共有する一方の不純物拡散層6aと、不純物拡散層6aの一部と直接接続Cを有し、その接続部以外の部分ではゲート絶縁膜2を介して形成されたゲート下部電極5bと、他方の不純物拡散層6cとからなる。さらに、MFS型トランジスタのゲート下部電極5b上にキャパシタ

部が形成されている。このキャパシタ部は、ゲート下部電極5bに直接接続されたTiN/Ti膜8aとTiN/Ti膜8a上に形成されたPt膜8bとで構成された下部電極8、その上に形成されたPZT膜9及びその上に形成されたPt膜10からなる。このように形成されたメモリセルにおいては、図2に示したように、MOS型トランジスタの他方の不純物拡散層6bがビットコンタクトBCにおいてビット線11と接続され、ゲート電極5aはワード線Wと接続され、MFS型トランジスタの他方の不純物拡散層6cが共通線CSに接続され、キャパシタ部の上部電極10がドライブ線DLと接続されている。なお、この実施例においては、共通線CSを不純物拡散層で形成しているが、RC時定数が大きくなるため、電圧立ちあげ時に時間がかかる可能性があるため、これを防止する方法として不純物拡散層をシリサイド(TiSix, CoSix)化するか、A1配線に接続させる方法がある。

【0028】以下に、不揮発性RAMの製造方法を図4～図7に基づいて説明する。まず、図4に示したよう

に、P型シリコン基板1上全面にゲート絶縁膜2を形成する。その後、ゲート絶縁膜2の所望の領域に、レジストマスク3を用いてコンタクトホール4を形成する。次いで、図5に示したように、n⁺ポリシリコン層又はWポリサイド層を半導体基板1上全面に形成し、所望の形状にパターニングしてゲート電極5a及びゲート下部電極5bを形成する。この際、n⁺ポリシリコンは、Pの熱拡散又はイオン注入により形成する。また、コンタクト4内に形成されたゲート下部電極5bからPが半導体基板1内に拡散することにより、オーミックコンタクトが形成されることになる。そして、これらゲート電極5a及びゲート下部電極5bをマスクとして不純物イオンを注入し、アニールすることにより不純物拡散層6a、6b及び6cを形成する。

【0029】その後、図6に示したように、ゲート電極5a及びゲート下部電極5bを含む半導体基板1上全面にNSGで層間膜7を形成する。さらに、ゲート下部電極5b上であって、層間膜7にコンタクトホールを形成し、層間膜7上全面にTiN/Ti膜8a及びPt膜8bを、スパッタまたはCVD法で堆積する。さらに、Pt膜8b上にゾルゲル法、MOCVD法又はスパッタ法等により、強誘電体膜であるPZT膜9を形成する。この際のPZT膜9の膜厚は、2000Å程度が好ましい。その後、PZT膜9/Pt膜8b/TiN/Ti膜8aの積層膜をRIEにより連続的に所望の形状にエッチングする。

【0030】次いで、図7に示したように、これら積層膜上に、NSGによる層間膜7を形成し、PZT膜9上の層間膜7にコンタクトホールを形成する。続いて、層間膜7上にPt膜を形成し、所望の形状にパターニングして上部電極10を形成する。さらに、上部電極10上に層間膜7を形成し、不純物拡散層6b上の層間膜7にコ

ンタクトホールを形成する。コンタクトホールを含む層間膜7上にアルミニウム系材料によるビット線11を形成して、図1に示すメモリセルを完成する。

【0031】以下に、本発明のFRAMのMFS型トランジスタの $I_D - V_G$ （ドレイン電流-ゲート電圧）特性を示す。ここで重要なことは、キャパシタの下部電極8が不純物拡散層6aであるドレインの端部に接続されているために、上部電極10とドレイン間に加わった電圧は、キャパシタ部にも十分印加されることである。図8に示したように、ゲート電圧 V_G として上部電極10に-5Vを印加した場合には、電子がシリコン基板1表面のチャンネル部に誘起され、その部分に反転層が形成されることになる。その結果、ソース/ドレイン間に大電流が流れることになる。一方、上部電極10に+5Vを印加した場合には、正孔がチャンネル部に蓄積された状態になる。そのため、ソース/ドレイン間に電流が流れなくなる。これらの場合においては、上部電極10への電圧の印加を止めてもキャパシタ絶縁膜であるPZT膜9の分極状態は保持される。すなわち、MFS型トランジスタがOFFの状態でもチャンネル部の反転/蓄積状態が保持されるため、チャンネル部を抵抗とみなせば、分極状態により、低抵抗/高抵抗の2値状態が形成されることになる。

【0032】例えば、PZTが0.2 μ mの膜厚を有するキャパシタ部の上部電極に約5Vの電圧を印加した場合、膜中には20 μ C/cm²の残留分極電荷が形成されることになる。ゲート絶縁膜厚を0.1 μ mとした場合、ゲート絶縁膜には約20Vの電圧が加わることになり、シリコン基板表面のチャンネル部は完全な反転層/蓄積層が形成されることになる。MFS型トランジスタのチャンネル長/幅を1 μ m/1 μ mとした場合には、チャンネル部に反転層が形成された低抵抗状態で10~100K Ω 、蓄積層が形成された高抵抗状態で1~10T Ω の値が得られる。なお、抵抗値が高すぎると書き込み時のスピードが遅くなるため、チャンネル部の不純物イオンのドーピング量を調整し、高抵抗側を1M Ω 以下に制御する必要がある。

【0033】図9に本発明のAFRAMの動作原理を示す。書き込み時において、ビット線に電源電圧(V_{cc})または接地電圧(0V)を加えた状態で、選択トランジスタをオンにし、ドライブ線に0V→5V→0Vのパルス電圧を加える。ビット線に V_{cc} が印加されている場合、ドライブ線が0Vとなった時にMFS型トランジスタのチャンネル部に反転層が形成され、低抵抗層が形成されることになる。一方、ビット線に0Vが印加されている場合、ドライブ線が5Vとなった時にチャンネル部に蓄積層が形成され、高抵抗層が形成されることになる。

【0034】すなわち、MFS型トランジスタの低抵抗および高抵抗状態の区別により、データ“0”及びデー

タ“1”が書き込まれることになる。この場合、キャパシタ部の下部電極でもあるMFS型トランジスタのゲート下部電極が直接MFS型トランジスタの不純物拡散層と接続されているため、キャパシタにも十分な電圧(約 V_{cc})が加わり、キャパシタの強誘電体膜は容易に飽和分極に達する。その結果、MFS型トランジスタのチャンネル部には明確に低抵抗層/高抵抗層が形成されることになる。

【0035】スタンバイ時においては、ビット線及びドライブ線はともに接地電圧(0V)を印加した状態とする。読みだし時において、MFS型トランジスタのソース側を接地し、ビット線を0.4Vにプリチャージする。この後選択トランジスタをオンすると、データ“0”の場合、MFS型トランジスタが低抵抗であるため、電流が流れ、ビット線の電位が低下する。一方、データ“1”の場合、MFS型トランジスタが高抵抗であるため、電流が流れにくく、ビット線の電位が低下しにくい。

【0036】図10に、上記シミュレーションにおける読み出し時のビット線の電位変化を示す。これによると、10nsec. 後にはデータ“0”と“1”の状態間で約200mVの電位差が生ずることになる。レファレンス(ダミーセル)を中間電位に設定した場合、レファレンスとデータ“0”又はレファレンスとデータ“1”との間でそれぞれ約100mVの電位差が生ずることになり、通常のカレントミラー型のセンスアンプで十分信号をセンスできることとなる。また、シミュレーションによれば、高抵抗/低抵抗比が10以上で上記のセンシングが可能になる。なお、ビット線に0.4Vの低電圧を発生させることは困難であるため、例えば、ビット線を1.6V、共通線(ソース線)を1.2V程度にし、メモリーセル間に電位差を発生させることが考えられる。また、電位差が大きいくほど、信号を検出する時間が短くなるが、分極状態が不安定になる恐れがあるため、電位差は0.2~0.8V程度とすることが好ましい。

【0037】図11に、本発明のFRAMの動作タイミングチャートの一例を示す。この例では、読みだし時において、ビット線BLに1.6V、共通線CSに1.2Vのパルスを加え、0.4Vの電位差を発生させている。以上に説明した読みだし動作より、データを破壊せず、分極状態を保持したままデータを読み出すことができる。そのため、通常のFRAMのように再書き込みの必要がなく、回路も簡単にできる。また、読みだし時にビット線、ドライブ線に加わる電圧が低く、分極反転による過渡電流がないため、消費電流が大きく低減できる。さらに、SRAMレベルの高速読みだしが可能となる。非破壊読みだしであるため、FRAMに比べ強誘電体膜の膜疲労に対するスペックが半減されることになる。

【0038】図12に、本発明のFRAMの等価回路を示す。基本的にはオープンビット方式により構成されて

いる。このFRAMは、通常のFRAMに比べ1～1.2倍のセルサイズになるが、周辺回路がシンプルになるため、チップサイズはFRAMより縮小化されることとなる。ドライブ線BL、ワード線WL、共通線CSは行デコーダーに接続されている。センスアンプに対してビット線対が扇を広げたような状態になっており、メモリーセルアレイの反対側には、ダミーセルが配列されている。ダミーセルは、データ“0”・“1”に対し中間のレベルをつくる必要があるため、高抵抗セル及び低抵抗セルを短絡するか又は中間の抵抗値を示すセルを設計して用いる必要がある。なお、メガビットクラスのメモリでは、1ビット線に128～256個のメモリーセルが接続されることになる。

【0039】上記のように、本発明のFRAMにおいては、通常のFRAMでの破壊読みだしをすることなく、さらに、キャパシタ部に高電圧を印加する必要がないため、ダミーセルの膜疲労及びインプリントの問題が防止されることとなり、非破壊読みだしが可能となり、読みだし時の印加電圧を低減させて膜疲労による劣化が防止され、インプリント耐性が向上する。

【0040】また、本発明のFRAMの第2の実施例を図13に示す。このFRAMは、主としてMFS型トランジスタからなるメモリーセルを有している。MFS型トランジスタは、不純物拡散層6と、不純物拡散層6の一部と直接接続Cを有し、その接続部以外の部分ではゲート絶縁膜2を介して形成されたゲート下部電極5とからなる。さらに、MFS型トランジスタのゲート下部電極5上にキャパシタ部が形成されている。このキャパシタ部は、ゲート下部電極5に直接接続されたTiN/Ti膜8aとTiN/Ti膜8a上に形成されたPt膜8bとで構成された下部電極8、その上に形成されたPZT膜9及びその上に形成されたPt膜10からなる。このように形成されたメモリーセルにおいては、MFS型トランジスタの一方の不純物拡散層6がビット線(図示せず)と接続され、他方の不純物拡散層6が共通線CSに接続され、キャパシタ部の上部電極10がドライブ線DLと接続されている。

【0041】このようなFRAMにおいては、キャパシタ部の下部電極でもあるMFS型トランジスタのゲート下部電極が直接MFS型トランジスタの不純物拡散層と接続されているため、キャパシタにも十分な電圧が加わり、キャパシタの強誘電体膜は容易に飽和分極に達し、消費電流が大きく低減できる。

【0042】

【発明の効果】この発明によれば、1個のMOS型トランジスタと1個のMFS型トランジスタ素子によって1個のFRAMセルが構成されているため、DRAM並の高集積度で、SFAM並の低消費電力化、高速化が可能で、不揮発性メモリを実現することが可能となる。

【0043】また、低電圧で非破壊のデータ読みだしが

可能であるため、従来のFRAMに比べてインプリントおよび膜疲労耐性の影響の少ない、高信頼性のデバイスを提供することが可能となる。

【図面の簡単な説明】

【図1】本発明のFRAMのメモリーセルの一実施例を示す概略断面図である。

【図2】本発明のFRAMのメモリーセルの配線を説明するための平面図である。

【図3】本発明のFRAMのメモリーセルの等価回路図である。

【図4】本発明のFRAMのメモリーセルの製造方法を示す概略断面図である。

【図5】本発明のFRAMのメモリーセルの製造方法を示す概略断面図である。

【図6】本発明のFRAMのメモリーセルの製造方法を示す概略断面図である。

【図7】本発明のFRAMのメモリーセルの製造方法を示す概略断面図である。

【図8】本発明のFRAMにおけるMFSトランジスタの I_D-V_G 特性を示すグラフである。

【図9】本発明のFRAMの動作を説明するため等価回路図である。

【図10】本発明のFRAMの読み出し時のデータごとのビット線電圧と放電時間との関係を示すグラフである。

【図11】本発明のFRAMの動作タイミングチャートである。

【図12】本発明のFRAMの等価回路図である。

【図13】本発明のFRAMのメモリーセルの他の実施例を示す概略断面図である。

【図14】従来のFRAMのメモリーセルを示す概略断面図である。

【図15】従来のFRAMのメモリーセルの等価回路図である。

【図16】従来のFRAMの動作を説明するため等価回路図である。

【図17】従来の半導体装置の他の実施例を示す概略断面図である。

【図18】従来の強誘電体メモリのさらに他の実施例を示す概略断面図である。

【図19】図18の強誘電体メモリの等価回路図である。

【図20】強誘電体の分極状態を示す図である。

【図21】従来の強誘電体メモリのさらに他の実施例を示す等価回路図である。

【図22】図21の強誘電体メモリの分極状態を説明するための図である。

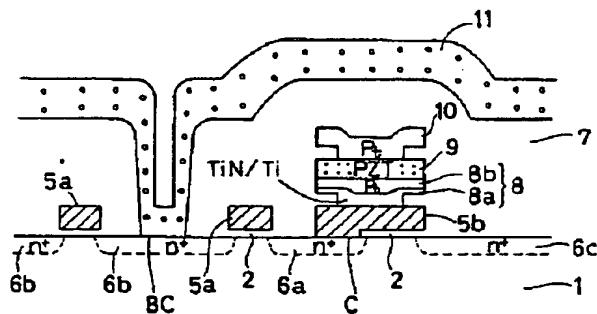
【符号の説明】

1 半導体基板

1a 活性領域

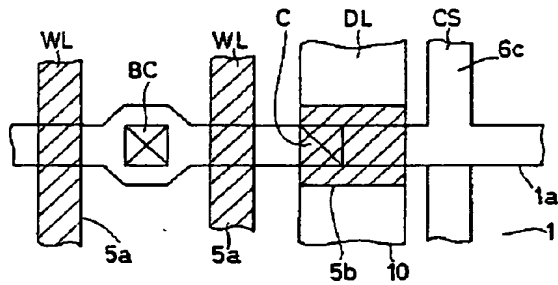
- 2 ゲート絶縁膜
3 レジスト
4 コンタクトホール
5 ゲート電極
5a ゲート電極
5b ゲート下部電極
6、6a、6b、6c 不純物拡散層
7 層間絶縁膜
8 下部電極
8a TiN/Ti膜

【図1】

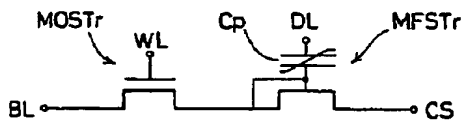


- 8b Pt膜
9 PZT膜
10 Pt膜 (上部電極)
11 ビット線
WL ワード線
BC ビットコンタクト
C コンタクト
DL ドライブ線
CS 共通線
10 BL ビット線

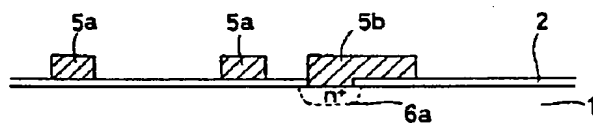
【図2】



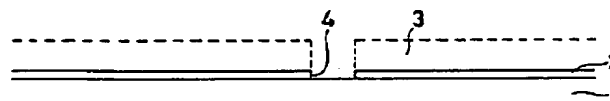
【図3】



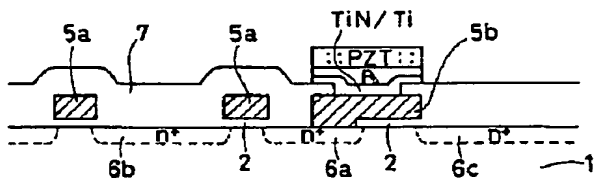
【図5】



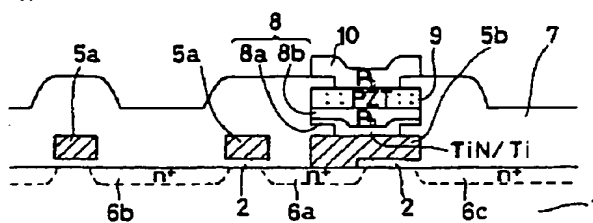
【図4】



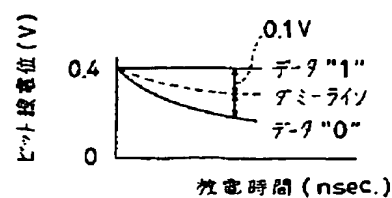
【図6】



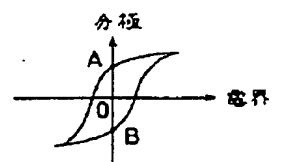
【図7】



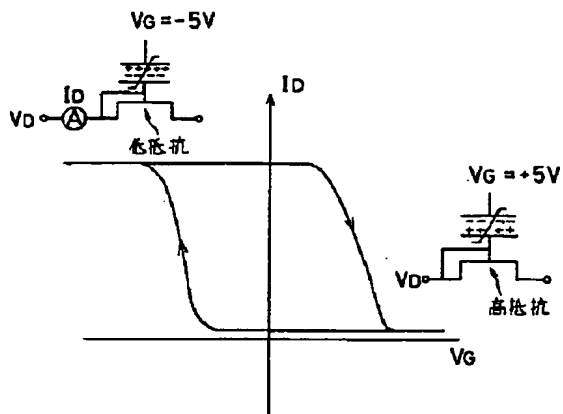
【図10】



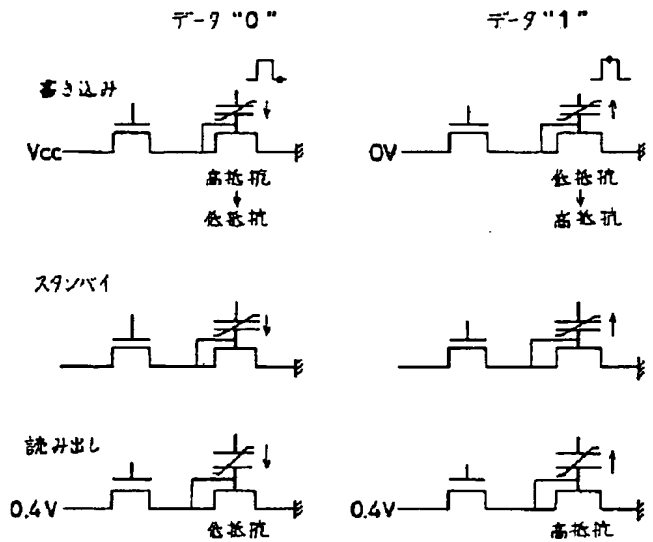
【図20】



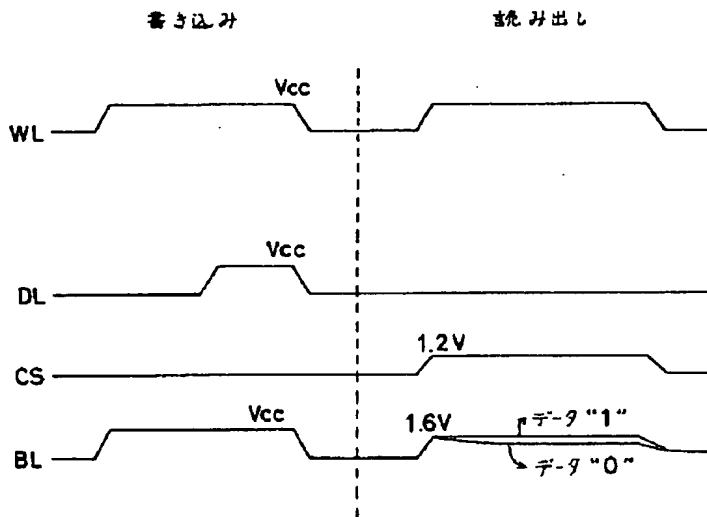
【図8】



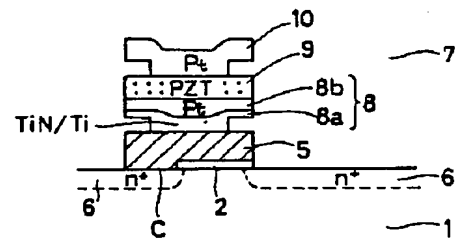
【図9】



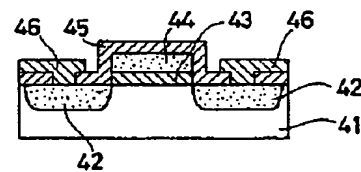
【図11】



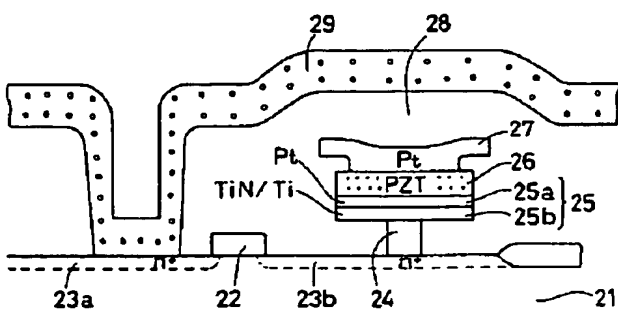
【図13】



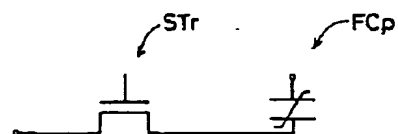
【図18】



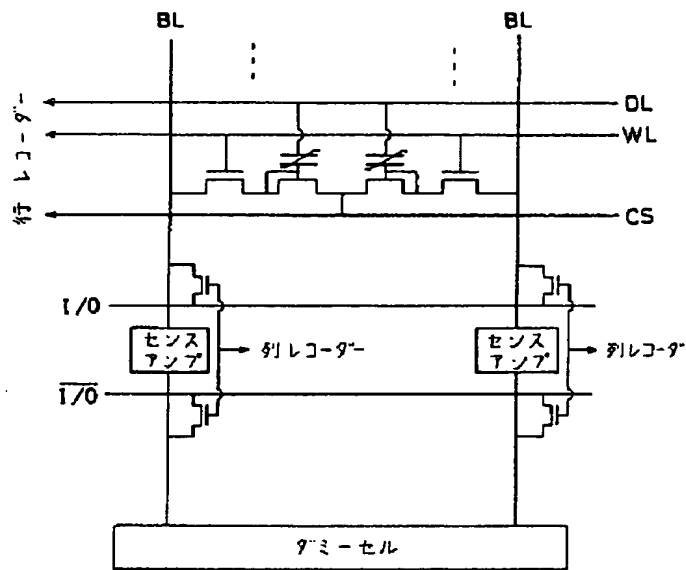
【図14】



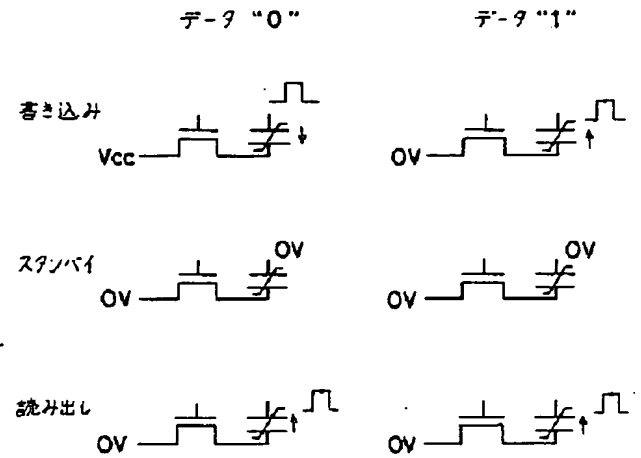
【図15】



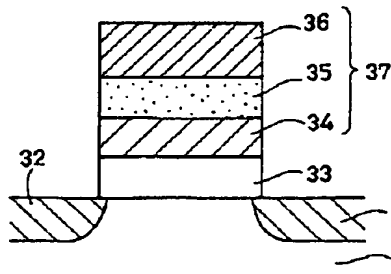
【図12】



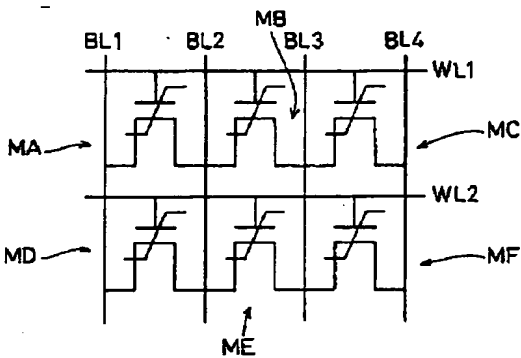
【図16】



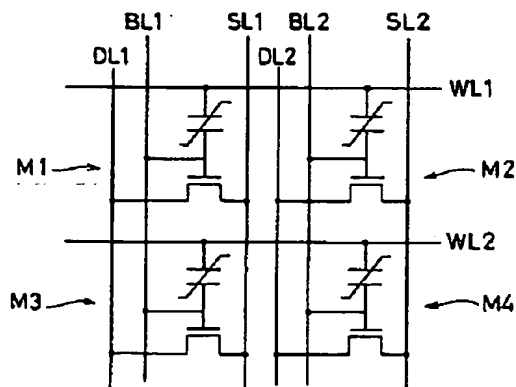
【図17】



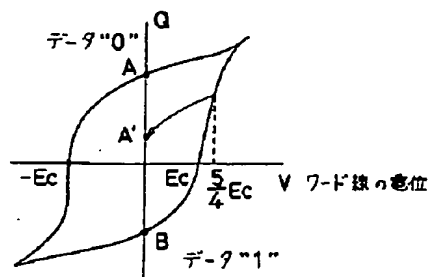
【図19】



【図21】



【図22】



フロントページの続き

(51) Int. Cl. ⁶

H 0 1 L 27/10

識別記号

4 5 1

庁内整理番号

F I

技術表示箇所